



05.10.01

# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 28 JAN. 2004

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIETE  
INDUSTRIELLE

SIEGE

26 bis, rue de Saint Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)

THIS PAGE BLANK (USPTO)



INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

# BREVET D'INVENTION CERTIFICAT D'UTILITE

26bis, rue de Saint-Pétersbourg  
75800 Paris Cedex 08  
Téléphone: 01 53.04.53.04. Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livreVI

REQUÊTE EN DÉLIVRANCE.

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France
Vos références pour ce dossier: B6273	
<b>1 NATURE DE LA DEMANDE</b> Demande de brevet /	
<b>2 TITRE DE L'INVENTION</b> COMPOSANT SEMICONDUCTEUR ACTIF A SURFACE REDUITE	
<b>3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE</b>	Pays où organisation Date N°
<b>4-1 DEMANDEUR</b> Nom: STMICROELECTRONICS SA Rue: 29, Boulevard Romain Rolland Code postal et ville: 92120-MONTROUGE Pays: France Nationalité: France Forme juridique: Société anonyme	
<b>5A MANDATAIRE</b> Nom: DE BEAUMONT Prénom: Michel Qualité: CPI: 92-1016, Pas de pouvoir Cabinet ou Société: CABINET-MICHEL DE BEAUMONT Rue: 1, rue Champollion Code postal et ville: 38000 GRENOBLE N° de téléphone: 0476518451 N° de télécopie: 0476446254 Courrier électronique: cab.beaumont@wanadoo.fr	
<b>6 DOCUMENTS ET FICHIERS JOINTS</b>	
Texte du brevet Dessins Désignation d'inventeurs	Fichier électronique Pages Détails textebrevet.pdf 16 D 13, R 2, AB 1 dessins.pdf 7 page 7, figures 11, Abrégé: page 3, Fig.5

<b>7 MODE DE PAIEMENT</b>			
Mode de paiement	Prélèvement du compte courant		
Numéro du compte client	665		
<b>8 RAPPORT DE RECHERCHE</b>			
Etablissement immédiat	Devise	Taux	Quantité
<b>9 REDEVANCES JOINTES</b>		Montant à payer	
062 Dépôt	EURO	0.00	1.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00
Total à acquitter	EURO		320.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

**Signé par**

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

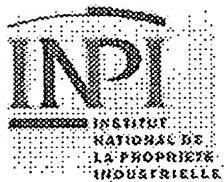
**Fonction**

Mandataire agréé (Mandataire 1)

## DIFFUSION RESTREINTE

REPUBLIQUE FRANCAISE

JUSQU'À publication officielle

BREVET D'INVENTION  
CERTIFICAT D'UTILITÉ

## Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

<b>DATE DE RECEPTION</b>	5 décembre 2003	<b>Demande de brevet : X</b>
<b>TYPE DE DEPOT</b>	INPI (PARIS) - Dépôt électronique	<b>Demande de CU :</b>
<b>N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI</b>	0350985	<b>Dépôt en ligne: X</b>
<b>Vos références pour ce dossier</b>	B6273	<b>Dépôt sur support CD:</b>
<b>DEMANDEUR</b>		
Nom ou dénomination sociale	STMICROELECTRONICS SA	
Nombre de demandeur(s)	1	
Pays	FR	
<b>TITRE DE L'INVENTION</b>		
COMPOSANT SEMICONDUCTEUR ACTIF A SURFACE REDUITE		
<b>DOCUMENTS ENVOYES</b>		
package-data.xml	Requêtefr.PDF	application-body.xml
Design.PDF	ValidLog.PDF	fee-sheet.xml
FR-office-specific-info.xml	Comment:PDF	textebrevet.pdf
dessins.pdf	indication-bio-deposit.xml	request.xml
<b>EFFECTUE PAR</b>		
Effectué par:	M.De Beaumont	
Date et heure de réception électronique:	5 décembre 2003 14:54:50	
Empreinte officielle du dépôt	4E:C0:AD:C6:12:7F:FC:86:47:15:57:5E:0A:36:8C:5A:8C:F0:8A:48	

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL  
 INSTITUT 26 bis, rue du Saint-Petersbourg  
 NATIONAL DE 75900 PARIS cedex 08  
 LA PROPRIETE Téléphone : 01 53 04 53 04  
 INDUSTRIELLE Télécopie : 01 42 93 59 30

**COMPOSANT SEMICONDUCTEUR ACTIF À SURFACE RÉDUITE**

La présente invention concerne un nouveau type de composant semiconducteur. La présente invention s'applique plus particulièrement aux composants de puissance et aux composants de protection destinés à supporter de hautes tensions, ces composants étant généralement qualifiés de composants discrets bien que plusieurs tels composants puissent être prévus sur une même puce, et/ou qu'ils puissent être associés à des circuits logiques prévus sur la même puce.

Les figures 1A et 1B représentent à titre d'exemple une vue en perspective et une vue en coupe d'une structure de diode de puissance verticale classique. Cette diode est formée à partir d'un substrat comprenant une région 1 fortement dopée de type N ( $N^+$ ) et une couche 2 faiblement dopée de type N revêtue d'une couche 3 de type P. La face supérieure est revêtue d'une métallisation d'anode 4 et la face inférieure est revêtue d'une métallisation de cathode 5. La référence 6 désigne une couche isolante.

La figure 2 est une vue en perspective d'un thyristor de puissance vertical. Ce thyristor comprend un substrat 10 faiblement dopé de type N. Du côté de la surface supérieure est formé un caisson 11 de type P contenant une région de cathode 12 de type N. Du côté de la surface inférieure est formée une

couche 13 d'anode de type P. Il est également prévu une métallisation d'anode MA, une métallisation de cathode MK et une métallisation de gâchette MG. Pour éviter que la métallisation d'anode vienne court-circuiter le substrat 10, ou pour séparer 5 ce thyristor d'un composant voisin, il est généralement prévu un mur d'isolation périphérique de type P 15.

Incidemment, on notera que dans la présente description, le terme "diode" désigne une diode PN ou Schottky destinée à servir en tant que diode de puissance, de protection ou à avalanche. Une diode est un composant dipolaire ayant deux bornes destinées à être connectées à des éléments d'un circuit électrique ou électronique, discret ou intégré, pour, selon le cas, laisser passer un courant en direct et bloquer un courant en inverse (diode de redressement), ou au contraire laisser passer 15 un courant inverse quand la tension à ses bornes dépasse un certain seuil (diode de protection). Dans le thyristor de la figure 2, la surface de séparation entre le mur d'isolation 15 de type P et le substrat 1 de type N n'est jamais destinée à être passante, mais seulement ou bien à permettre que la périphérie du composant soit isopotentielle au potentiel de la face arrière, ou bien à isoler le caisson 1 d'un caisson adjacent 20 contenant un autre composant. Cette surface de séparation n'est pas associée à des bornes destinées à être connectées à des éléments d'un circuit électrique ou électronique. Une telle surface de séparation ne constitue pas une diode (tantôt passante tantôt 25 bloquée) liée à des bornes de connexion à un circuit.

Un inconvénient des composants verticaux réside dans leur résistance à l'état passant. En effet, les épaisseurs des diverses couches et régions, sont optimisées en fonction des 30 caractéristiques souhaitées de la diode. En particulier, l'épaisseur de la couche de type N 2 (diode) ou 10 (thyristor) doit être suffisamment élevée pour que le composant ait une tension de claquage désirée mais doit être aussi faible que possible pour limiter la résistance à l'état passant du 35 composant. Dans le cas d'une diode, la couche N 1 n'a aucun

rôle actif dans le fonctionnement de la diode. Elle sert simplement à assurer un contact ohmique avec la métallisation et est utilisée pour réduire la résistance de la diode à l'état passant lié au fait qu'une plaquette de silicium a dans les technologies courantes une épaisseur de 300 à 500  $\mu\text{m}$ , dans la plupart des cas bien supérieure à l'épaisseur souhaitée de la couche N 2 (par exemple 60  $\mu\text{m}$  pour supporter 600 V). Dans le cas du thyristor, l'épaisseur de la couche 10 est également imposée par l'épaisseur de la plaquette de silicium et divers moyens, souvent complexes, sont mis en oeuvre pour la réduire.

Un autre inconvénient des composants verticaux est que la surface des jonctions actives, est liée à la surface de la puce semiconductrice occupée par le composant, ces jonctions étant horizontales (dans des plans parallèles aux faces principales de la diode).

De plus, de tels composants destinés à supporter de hautes tensions, posent de nombreux problèmes pour assurer la tenue en tension à la périphérie de la jonction semiconductrice ou Schottky, ainsi que pour isoler le composant dans son ensemble et assurer sa protection (mur d'isolation).

On a décrit uniquement à titre d'exemple de composants verticaux une diode PNN et un thyristor, les problèmes indiqués ci-dessus concernent de façon générale les composants de puissance ou haute tension verticaux, par exemple des diodes Schottky, des commutateurs bidirectionnels, ou des composants à commande en tension, de type MOS.

La présente invention vise à prévoir de nouveaux types de diodes et plus généralement de nouveaux types de composants semiconducteurs de puissance ou haute tension permettant d'éviter au moins certains des inconvénients susmentionnés des composants verticaux, en particulier d'augmenter la surface de jonction active par rapport à la surface de la puce dans laquelle le composant est formé, de réduire la chute de tension à l'état passant, de simplifier la structure périphérique des composants individuels...

Pour atteindre ces objets, la présente invention prévoit un composant semi-conducteur dans lequel les jonctions actives s'étendent perpendiculairement à la surface d'une puce semi-conductrice sensiblement sur toute l'épaisseur de celle-ci.

5 Selon un mode de réalisation de la présente invention, les contacts avec les régions devant être connectées sont pris par des doigts conducteurs traversant sensiblement toute la région avec laquelle on souhaite établir un contact.

10 Selon un mode de réalisation de la présente invention, les doigts conducteurs sont des doigts métalliques.

Selon un mode de réalisation de la présente invention, le composant semi-conducteur est de type multicellulaire et les jonctions sont constituées de plusieurs cylindres perpendiculaires aux faces principales du substrat.

15 Selon un mode de réalisation de la présente invention, le composant est une diode comprenant une alternance de régions d'un premier type de conductivité et d'un second type de conductivité s'étendant sur toute l'épaisseur du substrat, les régions d'un premier type étant traversées par des doigts conducteurs reliés à une métallisation s'étendant sur toute une face du substrat, et les régions du second type étant traversées par des doigts conducteurs reliés à une métallisation sur l'autre face du substrat.

20 Selon un mode de réalisation de la présente invention, la diode est formée dans un substrat semi-conducteur de type N, les doigts conducteurs pénétrant les régions de type N étant entourés de régions fortement dopées de type N.

25 Selon un mode de réalisation de la présente invention, le composant est un transistor bipolaire comprenant en alternance une région d'un premier type de conductivité, une région d'un deuxième type de conductivité, et une région du premier type de conductivité, chacune de ces régions s'étendant sur toute l'épaisseur du substrat et étant contactée par au moins un doigt conducteur, chacun de ces doigts conducteurs étant respect-

tivement connecté à une métallisation d'émetteur, à une métallisation de base, et à une métallisation de collecteur.

Selon un mode de réalisation de la présente invention, le composant est un thyristor comprenant successivement une première région d'un premier type de conductivité; une deuxième région du deuxième type de conductivité, une troisième région du premier type de conductivité et une quatrième région du deuxième type de conductivité, chacune de ces régions s'étendant sur toute l'épaisseur du substrat, un doigt conducteur s'étendant dans toute la première région, au moins un doigt conducteur s'étendant dans toute la deuxième région, et au moins un doigt conducteur s'étendant dans toute la deuxième région.

Selon un mode de réalisatiōn de la présente invention, dans le thyristor, le premier type de conductivité est le type N, et le deuxième type de conductivité est le type P, la première région étant une région de cathode et la quatrième région une région d'anode, et des métallisations localisées s'étendant verticalement entre la région de gâchette et la région de cathode pour constituer des courts-circuits gâchette-cathode localisés.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1A et 1B, décrites précédemment, sont une vue en perspective et une vue en coupe schématique d'une structure de diode verticale classique;

la figure 2, décrite précédemment, est une vue en coupe schématique d'une structure de thyristor vertical classique;

les figures 3 et 4 sont des vues en perspective schématiques de deux modes de réalisation d'une diode selon la présente invention;

les figures 5A et 5B sont respectivement une vue en coupe schématique et un schéma de circuit d'une diode selon la présente invention ;

5 les figures 6A et 6B sont respectivement une vue en coupe schématique et un schéma de circuit d'un assemblage de diodes selon la présente invention ;

les figures 7A et 7B sont respectivement une vue en coupe schématique et un schéma de circuit d'un autre assemblage de diodes selon la présente invention ;

10 les figures 8A et 8B sont respectivement une vue en coupe schématique et un schéma de circuit d'un autre assemblage de diodes selon la présente invention ;

les figures 9A et 9B sont respectivement une vue en coupe schématique et un schéma de circuit d'un autre assemblage 15 de diodes selon la présente invention ;

les figures 10A et 10B sont une vue en perspective schématique et une vue en coupe d'un transistor bipolaire selon la présente invention ; et

les figures 11A et 11B sont une vue en perspective 20 schématique et une vue en coupe d'un thyristor selon la présente invention.

Comme cela est classique dans le domaine de la représentation des semiconducteurs, les diverses figures ne sont pas tracées à l'échelle. Notamment, dans ces diverses figures, les 25 dimensions latérales ont été beaucoup exagérées par rapport aux directions verticales. En effet, une plaquette de silicium a couramment une épaisseur de 300 à 500  $\mu\text{m}$  - et des épaisseurs plus élevées pourront être choisies pour une mise en oeuvre de l'invention - tandis que des motifs et des vias peuvent être 30 définis selon des dimensions de l'ordre de 1 à 10  $\mu\text{m}$ .

La figure 3 est une vue en perspective schématique d'une portion de composant semiconducteur dans laquelle est réalisé un ensemble de cellules de diodes selon la présente invention. Les faces principales du composant correspondent aux 35 faces supérieure et inférieure d'une tranche semiconductrice et

la face verticale, dont l'épaisseur est désignée par  $e$ , correspond à l'épaisseur de la tranche semiconductrice.

La jonction de chaque cellule de diode est réalisée de façon verticale dans l'épaisseur de la tranche semiconductrice.

En figure 3, la structure est réalisée à partir d'une tranche de silicium 21 faiblement dopée de type N. Pour chaque cellule, une métallisation 22 en forme de plaque formée verticalement dans une tranchée s'étend sur toute la hauteur ou sur la plus grande partie de la hauteur de la tranche semiconductrice.

Une région 23 de type P est adjacente à une partie de la tranche 21 de type N et une métallisation 24 en forme de plaque s'étend verticalement dans une tranchée adjacente à ladite partie de la tranche 21 de type N. Ainsi, la jonction de la diode est une jonction verticale entre les régions N et P 21 et 23. Il est seulement utile de prévoir entre la région N et la métallisation 22 une très fine couche de type  $N^+$  (non représentée) pour assurer le contact ohmique sans qu'il soit nécessaire comme dans le cas des diodes classiques de prévoir une région  $N^+$  épaisse. Ainsi, la chute de tension à l'état passant dans la diode est réduite.

La figure 4 représente une variante actuellement préférée de topologie d'une diode multicellulaire selon la présente invention, étant entendu que dans certains cas on pourra utiliser une seule cellule de diode. La structure est à nouveau formée dans un substrat 21 de type N dont l'épaisseur est désignée par  $e$ . Les métallisations, au lieu de correspondre à des plaques formées dans des tranchées parallèles sont constituées de doigts cylindriques. Une façon de réaliser une telle structure est de former à partir d'une surface de la tranche des premières ouvertures 22 s'étendant de préférence sur toute la hauteur  $e$  du substrat. A partir de ces ouvertures est formée une diffusion 23 de type P, puis ces ouvertures sont remplies de métal pour constituer des vias 22. Des deuxièmes ouvertures 24, en quinconce par rapport aux ouvertures 22, s'étendent également de préférence sur toute la hauteur du substrat. Une courte diffu-

sion N<sup>+</sup> (non représentée) est formée à partir de ces deuxièmes ouvertures qui sont remplis de métal pour constituer des vias 24. Tous les vias 22 sont reliés entre eux et tous les vias 24 sont reliés entre eux par des métallisations d'anode et de cathode, non représentées, des couches isolantes, non représentées, assurant les isolations nécessaires. On obtient entre ces métallisations, par exemple respectivement formées sur les faces supérieure et inférieure de la structure, une diode à jonctions verticales à faible résistance à l'état passant et de densité bien supérieure à ce qui pourrait être obtenu avec une diode classique à jonction horizontale. Ce type de structure présente en outre l'avantage d'éviter les problèmes de tenue en tension en périphérie de diode que posent les structures classiques.

On notera que, au lieu de prévoir de simples doigts conducteurs 24, du métal pourrait être présent tout autour des zones 21 de type N utiles. La structure peut alors se voir comme une plaque conductrice (métallique) comportant des ouvertures contenant des éléments cylindriques concentriques comprenant un via central 22, entouré d'un cylindre semiconducteur 23 de type P, entouré d'un cylindre semiconducteur 21 de type N, éventuellement entouré d'un cylindre semiconducteur N. La description ci-dessus vise essentiellement la structure de la diode et l'ordre des étapes de fabrication pourra être modifié.

Dans ce qui suit, on utilisera le terme "via" ou "doigt" pour désigner aussi bien les éléments en forme de plaque de la figure 3 que les éléments en forme de doigt de la figure 4.

La figure 5A représente une vue en coupe plus détaillée d'une structure telle que celle des figures 3 et 4. De mêmes éléments qu'en figures 3 et 4 sont désignés par les mêmes références. Les références 26 et 27 désignent des couches isolantes. La couche isolante 26 sur la face supérieure du substrat recouvre toutes les régions N et la couche isolante 27 sur la face inférieure du substrat recouvre toutes les régions P. Une

métallisation M1 de face supérieure est en contact avec tous les vias 22 en contact avec les régions de type P 23 et une métallisation de face inférieure M2 est en contact avec tous les vias 24 en contact avec les régions de type N° 25, elles-mêmes en contact avec des portions du substrat N° 21.

Dans l'exemple de la figure 5A, on a représenté les vias de la couche supérieure comme des vias sensiblement traversants et les vias de la couche inférieure comme des vias non traversants. Toutefois, d'autres options pourront être prises selon les technologies de fabrication choisies.

La figure 5B représente le schéma équivalent de la structure de la figure 5A entre les métallisations M1 et M2. Selon un avantage de la présente invention, la surface de jonction de l'ensemble des cellules de diodes en parallèle peut être bien supérieure à la surface de la puce contenant ces cellules de diodes, et ce d'autant plus que l'on pourra utiliser des tranches semiconductrices plus épaisses que cela n'est usuel. Un autre avantage de ce type de fabrication est qu'il est possible de réaliser plusieurs composants selon l'invention sur une même tranche, chacun de ces composants pouvant facilement être entouré, si cela est utile, de murs isolants formés de toute façon choisie.

Les figures 6A et 6B représentent une vue en coupe schématische et un schéma équivalent de deux diodes ou cellules de diode D1 et D2 en série (montage tandem) formées dans un substrat semi-conducteur 30 de type N. En figure 6A, la diode de gauche comprend deux doigts conducteurs presque traversants 31 et 32, partant tous deux de la face supérieure. Le doigt 31 est entouré d'une région P 33 et le doigt 32 est entouré d'une région N° 34. La diode de droite comprend un doigt conducteur 35 partant de la face supérieure entouré d'une région P 36 et un doigt conducteur 37 partant de la face inférieure entouré d'une région N° 38. Des couches isolantes sont réalisées de façon qu'une métallisation supérieure M1 est en contact avec le doigt 31, une métallisation isolée M3 relie les doigts conducteurs 32

et 35 et une métallisation de face inférieure M2 est en contact avec le doigt conducteur 37.

Comme cela est représenté en vue en coupe partielle en figure 7A et sous forme de schéma en figure 7B, en assemblant 5 deux couples de diodes telles que les diodes D1 et D2 des figures 6A et 6B, et en prévoyant des murs isolants, on peut réaliser un pont redresseur. En figure 7A, la diode de gauche est identique à la diode de gauche de la figure 6A et ses éléments sont désignés par les mêmes références. La diode de 10 droite est également identique à la diode de droite de la figure 6A et ses éléments sont aussi désignés par de mêmes références. La différence essentielle entre les figures 6A et 7A réside dans le positionnement des métallisations. Comme précédemment, la métallisation de face supérieure M1 contacte le doigt 31 et la 15 métallisation de face inférieure M2 contacte le doigt 37. Toutefois, cette fois-ci, la métallisation M3 court-circuitant les doigts conducteurs 32 et 35 n'est pas enfermée dans une couche isolante mais est accessible depuis la surface supérieure. De plus, l'ensemble de la structure est entouré d'un mur 39 en un 20 matériau isolant.

En réalisant deux structures identiques à celle de la figure 7A, et en connectant pour ces deux structures les métallisations M1 entre elles, les métallisations M2 entre elles et les métallisations M3 à des bornes distinctes, on obtient un 25 montage de pont redresseur tel que celui illustré en figure 7B.

La figure 8A et la figure 8B représentent une combinaison de diodes constituant une diode à avalanche bidirectionnelle. Cette diode est formée dans un substrat semi-conducteur de type N 40. Un doigt conducteur 41 partant de la surface supérieure est entouré d'une région 42 de type P et un doigt conducteur 43 partant de la surface inférieure est entouré d'une région 44 de type P. Une métallisation M1 de face supérieure est en contact avec le doigt 41 et une métallisation M2 de face inférieure est en contact avec le doigt 43.

La figure 9A est une vue en coupe et la figure 9B est un schéma de circuit d'un montage de deux diodes en anti-parallèle. Les deux diodes sont formées dans un substrat de type N 50. La diode de gauche comprend un doigt conducteur 51 entouré d'une région P 52, solidaire d'une métallisation supérieure M1. Un doigt conducteur 53 entouré d'une région N° 54 est solidaire d'une métallisation inférieure M2. A l'inverse, la diode de droite comprend un doigt conducteur 55 entouré d'une région de type N° 56 solidaire de la métallisation supérieure M1 et un doigt conducteur 57 entouré d'une région N° 58 solidaire de la métallisation inférieure M2. Les deux diodes sont séparées par un mur isolant 59.

Dans les diverses figures, les doigts sont illustrés comme traversants ou non. Cela dépend des modes de réalisation et des technologies de fabrication choisies. Dans le cas de doigts traversant, leur extrémité non connectée à un contact est isolée.

Les figures 10A et 10B représentent une vue en perspective partielle et une vue en coupe d'une réalisation selon l'invention d'un transistor bipolaire. Ce transistor bipolaire est formé dans un substrat de type N 60 et comprend une région d'émetteur 61 fortement dopée de type N autour d'un doigt conducteur central 62 s'étendant sur toute ou sensiblement toute l'épaisseur du substrat. Une région de base 63 de type P est disposée autour de l'émetteur, entre l'émetteur et une région de collecteur correspondant au substrat 60. Comme le montre mieux la figure 10B, des doigts conducteurs 64 partant de la face inférieure sont entourés de régions N° 65 et servent de contact de collecteur. Une métallisation intermédiaire M3 du côté de la face supérieure est solidaire de doigts conducteurs 66 faisant contact avec la région de base 63. Comme l'illustre la figure 10A, les doigts conducteurs 66 sont espacés les uns des autres à la façon d'une grille pour permettre un bon fonctionnement de la base. Par contre, dans une réalisation du type de celle de la figure 4, les doigts 64 pourront en fait

constituer un cylindre conducteur entourant complètement la cellule de transistor représentée.

Les figures 11A et 11B illustrent une structure de thyristor respectivement en perspective et en coupe. La structure est réalisée dans un substrat semi-conducteur 70, de type N. Dans une région centrale, un doigt conducteur 71 est entouré d'une région fortement dopée de type N 72 correspondant à la cathode du thyristor et d'une couche P 73. Ces régions peuvent être réalisées en diffusant successivement, à partir d'une ouverture traversante ou sensiblement traversante, un dopant P puis un dopant N ou bien en diffusant simultanément des dopants dont les vitesses de diffusion sont convenablement différentes. Le doigt 71 est connecté à une métallisation de cathode MK. Des doigts conducteurs 74 pénètrent dans la région de type P 73 et constituent des prises de contact de gâchette solidaires d'une métallisation de gâchette MG. Du côté de la face inférieure, à la périphérie du composant, sont réalisés des doigts conducteurs 75 entourés d'une région de type P 76 qui constitue l'anode du thyristor et qui est reliée par les doigts 75 à une métallisation d'anode MA. On notera que l'on peut réaliser, comme cela est classique dans un thyristor, des courts circuits gâchette-cathode localisés au moyen de doigts conducteurs 77 pénétrant partiellement seulement dans le substrat entre la région N 72 et la région P 74. Des couches isolantes non référencées sont destinées à séparer les diverses métallisations et à isoler les zones appropriées. L'ensemble de la structure pourra être entouré d'un mur isolant.

Un triac pourra être réalisé en montant deux thyristors du type ci-dessus en parallèle et en opposition.

Les diverses structures illustrées sont susceptibles de nombreuses variantes et modifications, et l'homme de l'art notera que des variantes décrites pour certains modes de réalisation s'appliquent à d'autres modes de réalisation.

De même que l'on a illustré en figures 3, 4 et 5A des assemblages de cellules de diode en parallèle, on pourra par

répétition d'un motif réaliser des thyristors ou des transistors multicellulaires. Chacune des cellules pourra être réalisée à partir de tranchées parallèles comme en figure 3 ou être à géométrie cylindrique, comme en figure 4. On pourra bien entendu 5 choisir des cylindres à section non circulaire, par exemple polygonale. De même, de nombreuses associations de composants pourront simplement être réalisées dans un même substrat, séparées ou non par des murs d'isolation.

D'autre part, de nombreux modes de réalisation apparaîtront à l'homme de l'art et seront possibles en fonction de 10 l'évolution de la technique, la réalisation de doigts conducteurs ou de plaques formées dans des tranchées n'étant que des exemples d'approches possibles à la réalisation des structures à jonctions verticales décrites.

On notera que, comme une plus grande densité de composants est obtenue avec des composants à jonctions verticales 15 selon la présente invention qu'avec des composants classiques à jonctions horizontales, plus de chaleur sera générée par unité de surface quand ces composants sont passants (encore que la chute de tension à l'état passant est plus faible grâce à 20 l'optimisation possible de l'épaisseur de la couche de tenue en tension inverse). Toutefois, cette chaleur pourra être avantageusement extraite grâce aux doigts conducteurs traversants. En effet, des doigts métalliques ont une 25 conductivité thermique 2 à 3,5 fois plus élevée que le volume équivalent de silicium. Ces doigts pourront occuper une surface importante et notamment les "doigts" périphériques pourront occuper toute la surface libre entre les cellules élémentaires d'un composant.

REVENDICATIONS

1. Composant semiconducteur caractérisé en ce que les jonctions actives s'étendent perpendiculairement à la surface d'une puce semiconductrice sensiblement sur toute l'épaisseur de celle-ci.

5 2. Composant semiconducteur selon la revendication 1, dans lequel les contacts avec les régions devant être connectées sont pris par des doigts conducteurs traversant sensiblement toute la région avec laquelle on souhaite établir un contact.

10 3. Composant semiconducteur selon la revendication 2, dans lequel les doigts conducteurs sont des doigts métalliques.

15 4. Composant semiconducteur selon la revendication 1, de type multicellulaire, dans lequel les jonctions sont constituées de plusieurs cylindres perpendiculaires aux faces principales du substrat.

20 5. Diode selon la revendication 1, comprenant une alternance de régions d'un premier type de conductivité (23) et d'un second type de conductivité (21) s'étendant sur toute l'épaisseur du substrat, les régions d'un premier type étant traversées par des doigts conducteurs (22) reliés à une métallisation s'étendant sur toute une face du substrat, et les régions du second type étant traversées par des doigts conducteurs (24) reliés à une métallisation sur l'autre face du substrat.

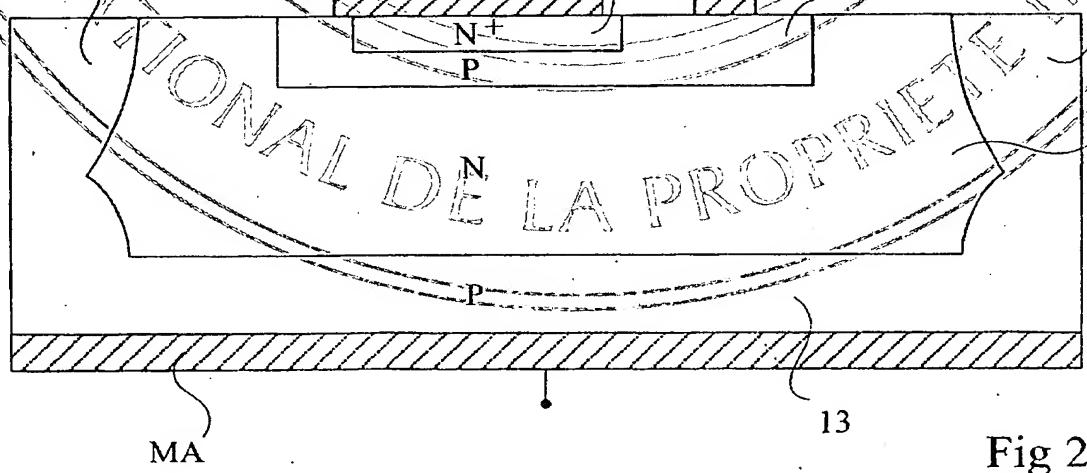
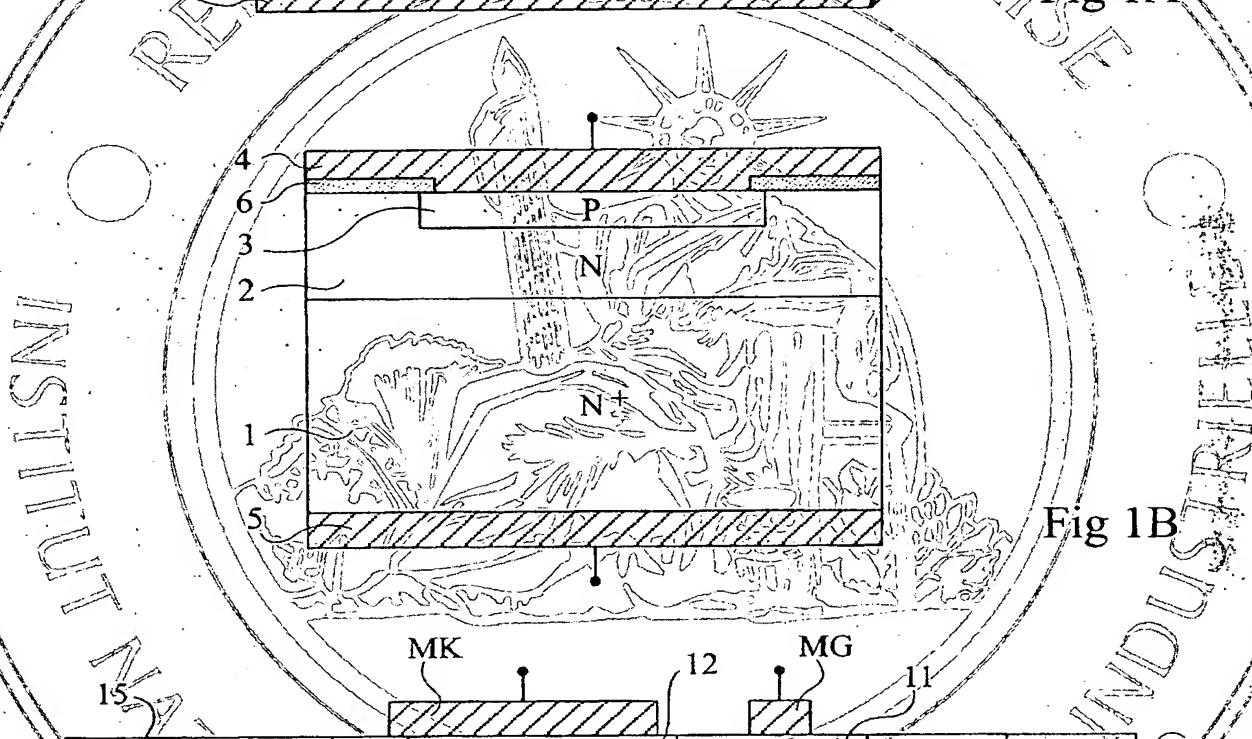
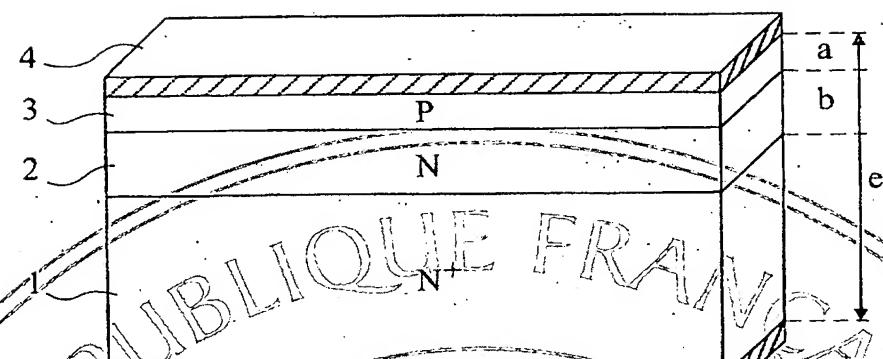
25 6. Diode selon la revendication 5, formée dans un substrat semiconducteur de type N, dans laquelle les doigts conducteurs pénétrant les régions de type N sont entourés de régions (25) fortement dopées de type N.

30 7. Transistor bipolaire selon la revendication 1, comprenant en alternance une région d'un premier type de conductivité (61), une région d'un deuxième type de conductivité (63), et une région du premier type de conductivité (60), chacune de ces régions s'étendant sur toute l'épaisseur du substrat et étant contactée par au moins un doigt conducteur, chacun de ces doigts conducteurs (62, 66, 64) étant respectivement connecté à

une métallisation d'émetteur (M1), à une métallisation de base (M3), et à une métallisation de collecteur (M2).

8. Thyristor selon la revendication 1, comprenant successivement une première région d'un premier type de conductivité (72), une deuxième région du deuxième type de conductivité (73), une troisième région du premier type de conductivité (70) et une quatrième région du deuxième type de conductivité (76), chacune de ces régions s'étendant sur toute l'épaisseur du substrat, un doigt conducteur (71) s'étendant dans toute la première région, au moins un doigt conducteur (74) s'étendant dans toute la deuxième région, et au moins un doigt conducteur (75) s'étendant dans toute la deuxième région.

9. Thyristor selon la revendication 8, dans lequel le premier type de conductivité est le type N, et le deuxième type de conductivité est le type P, la première région étant une région de cathode et la quatrième région une région d'anode, et dans lequel des métallisations localisées (77) s'étendent verticalement entre la région de gâchette et la région de cathode pour constituer des courts-circuits gâchette-cathode localisés.



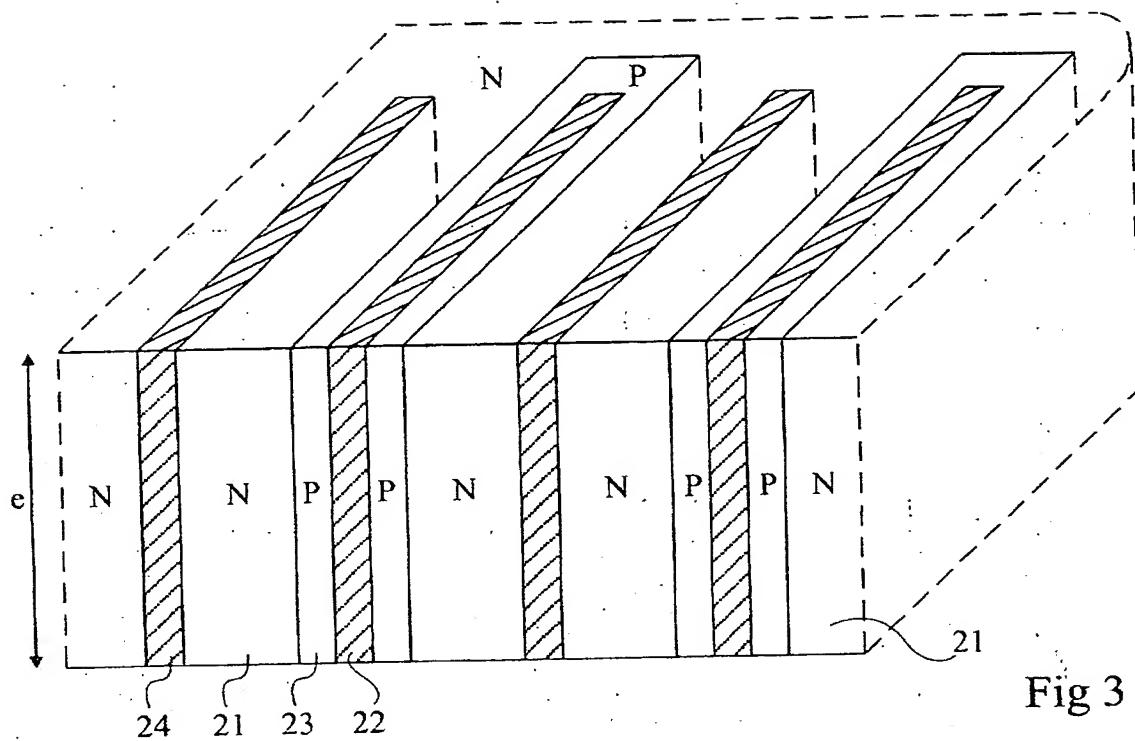


Fig 3

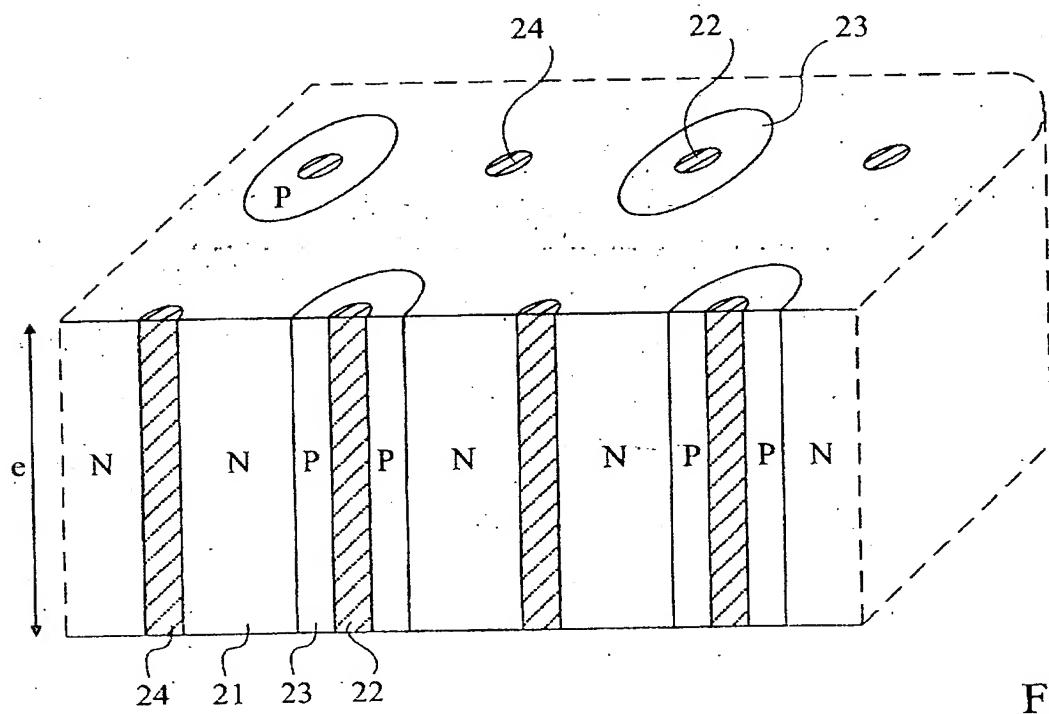


Fig 4

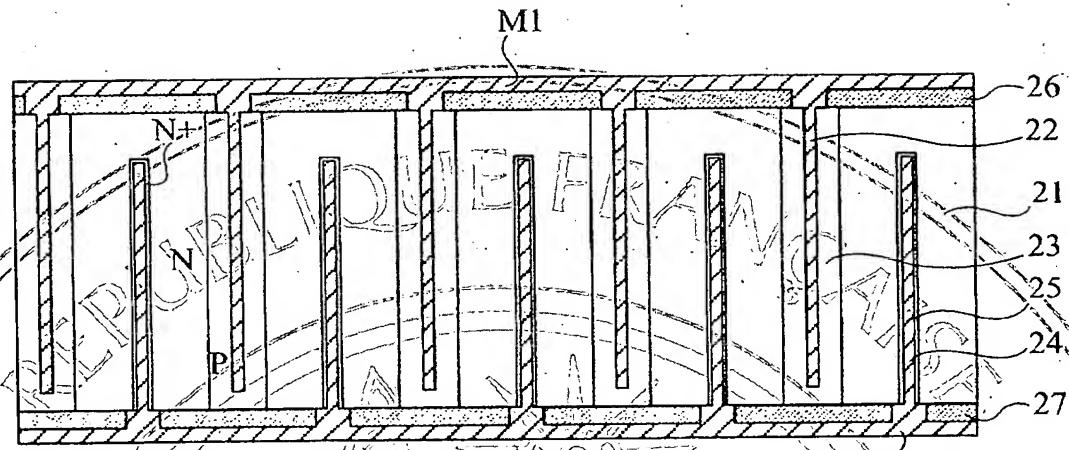


Fig 5A

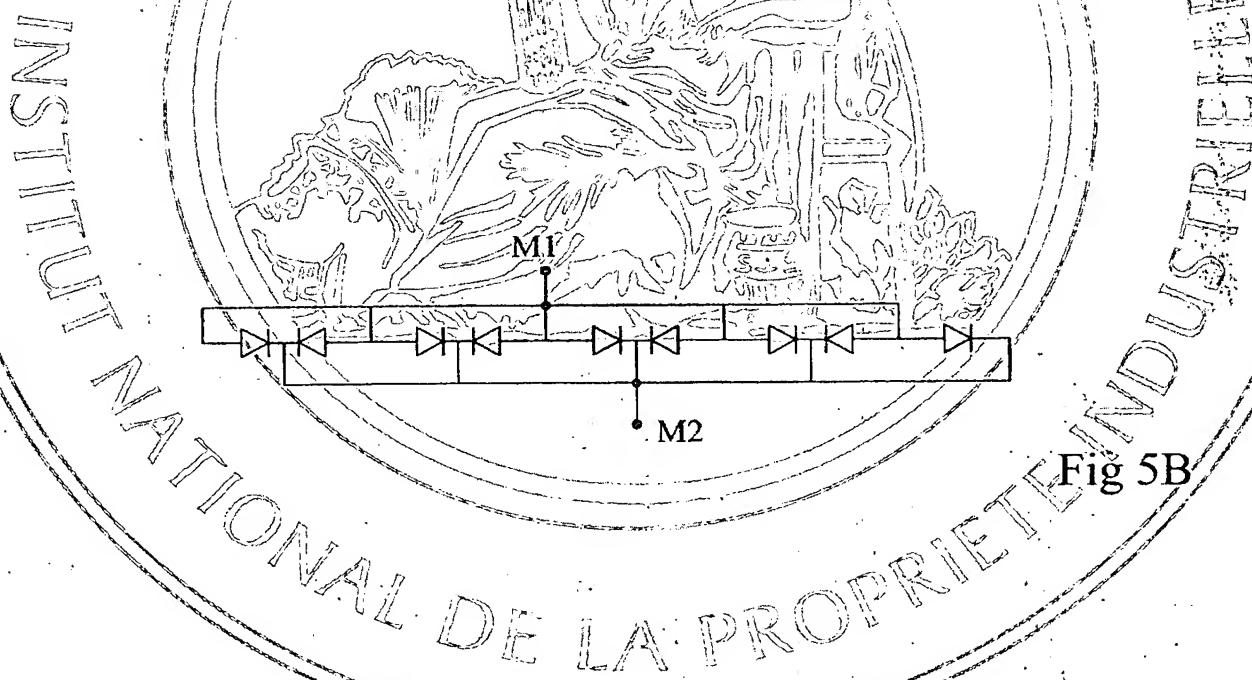


Fig 5B

4/7

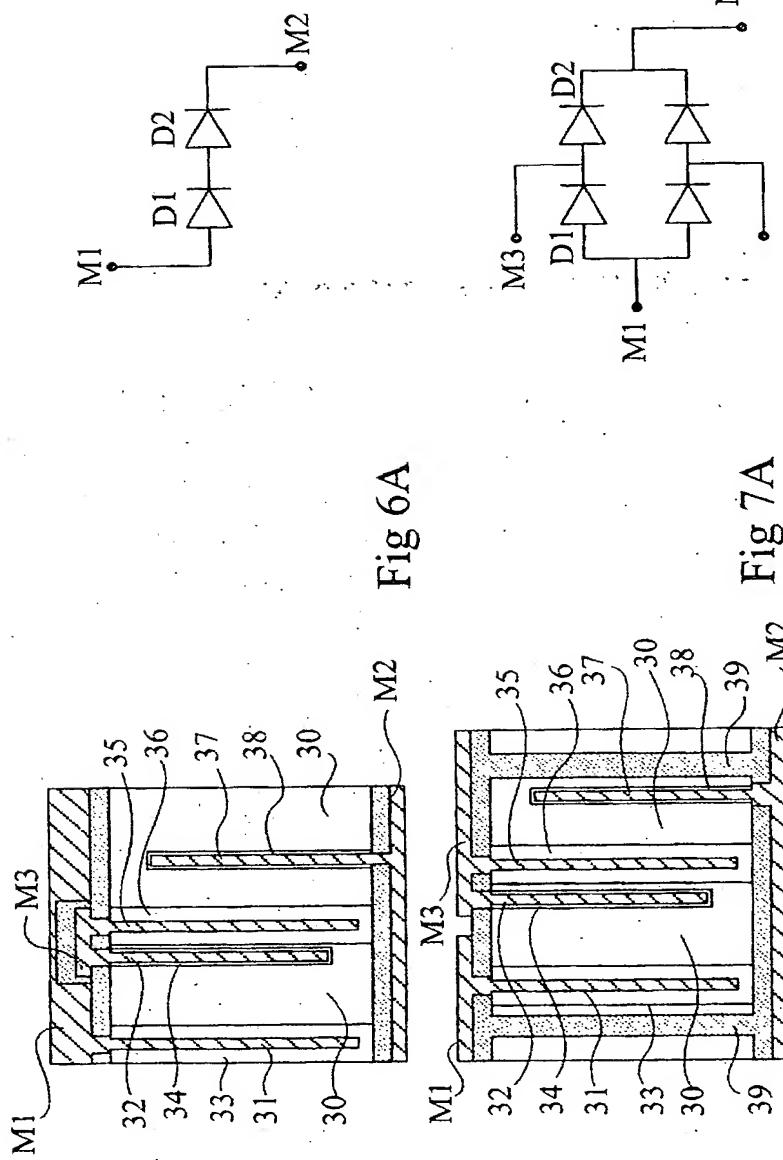


Fig 6B

Fig 6A

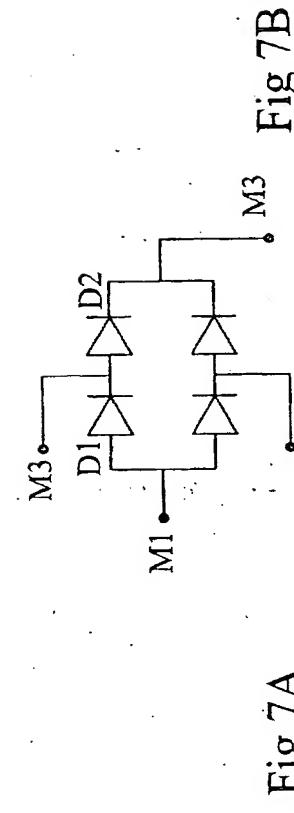


Fig 7A

Fig 7B

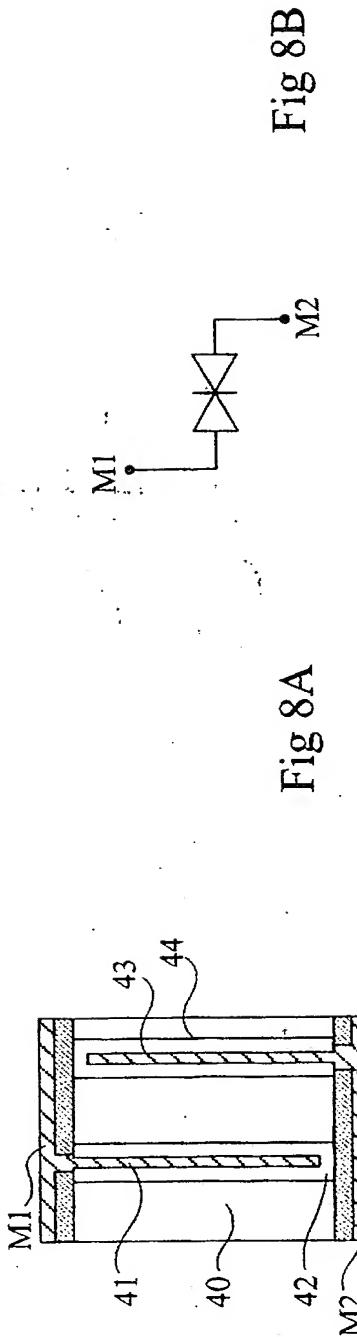
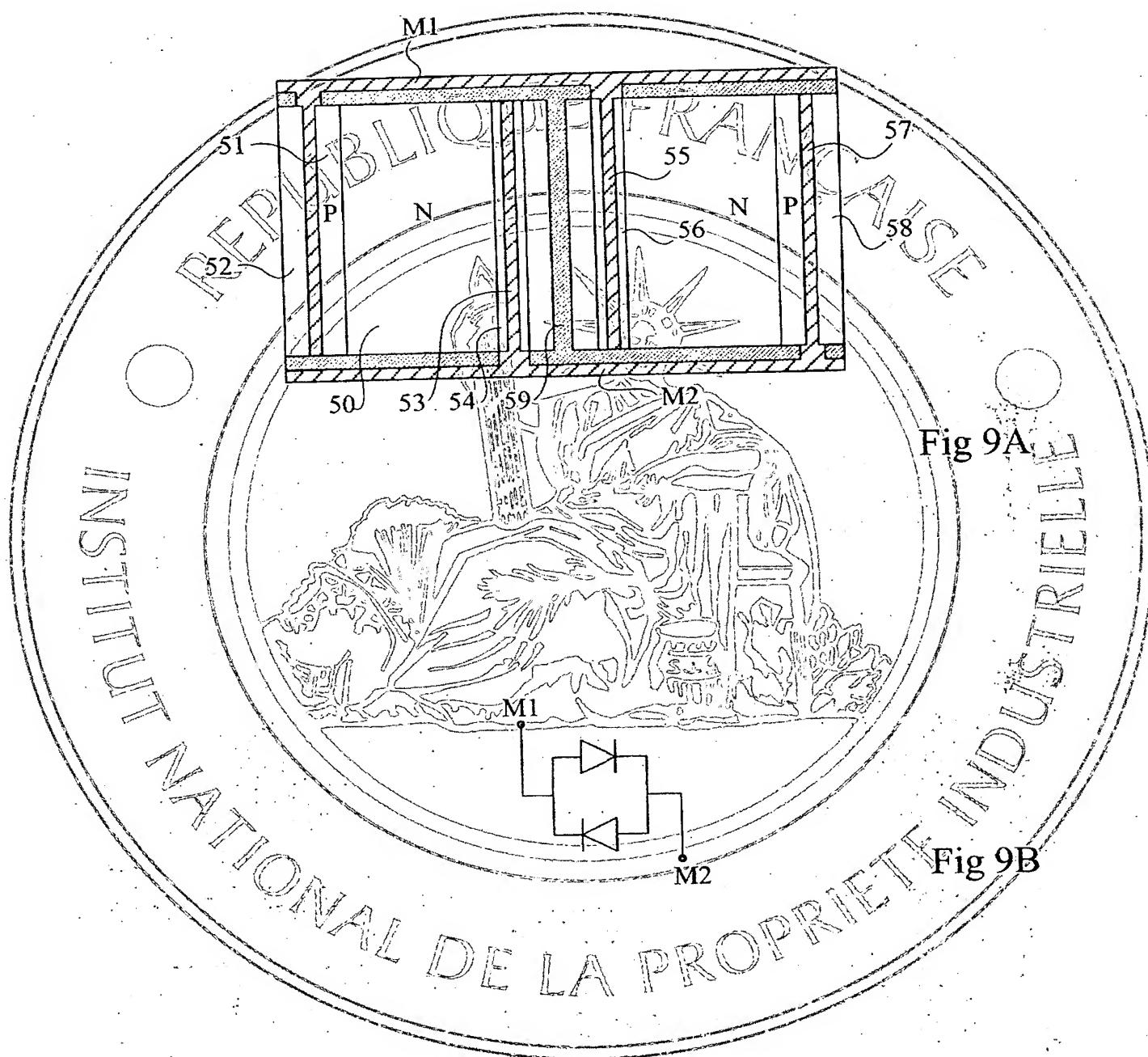


Fig 8A

Fig 8B



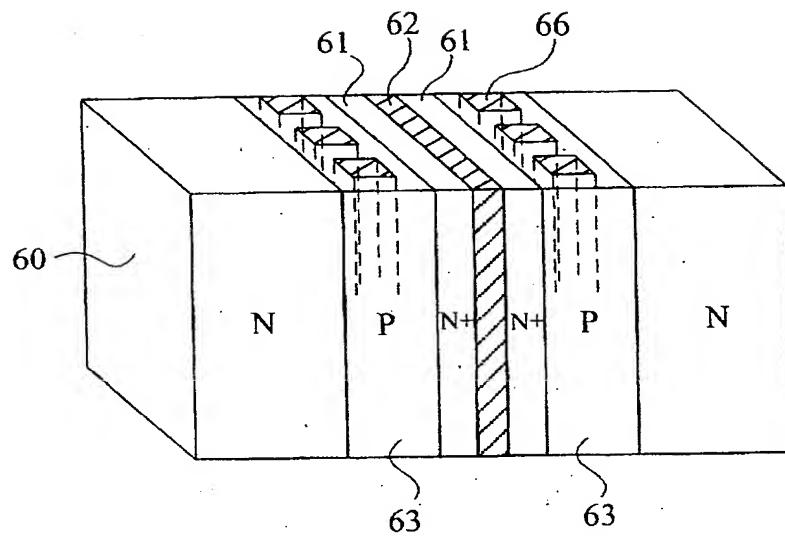


Fig 10A

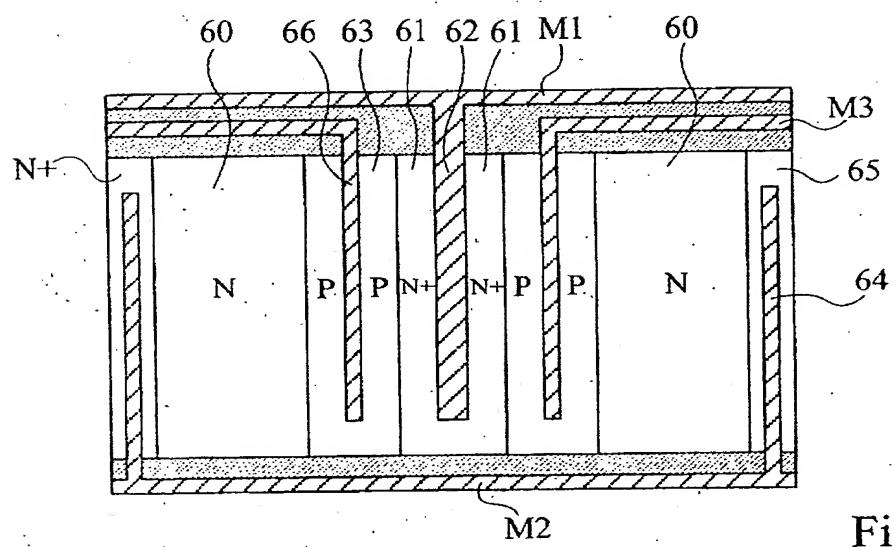


Fig 10B

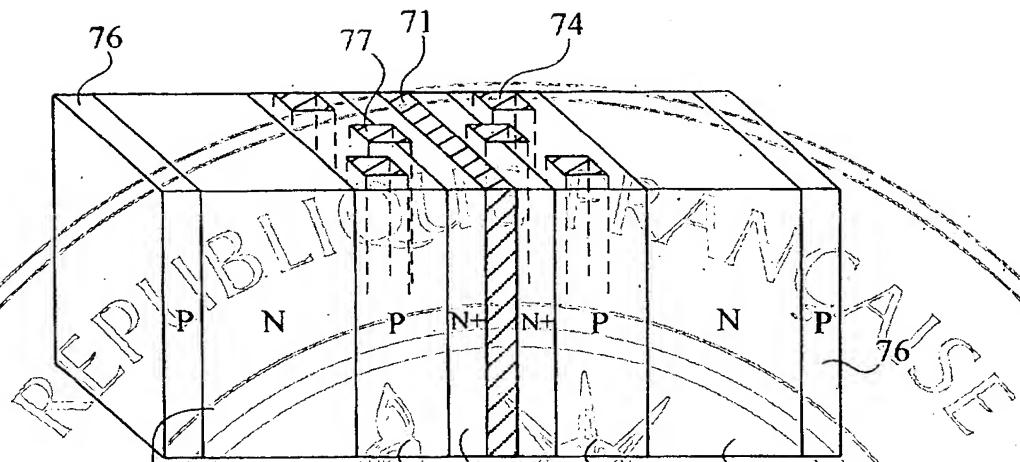


Fig 11A

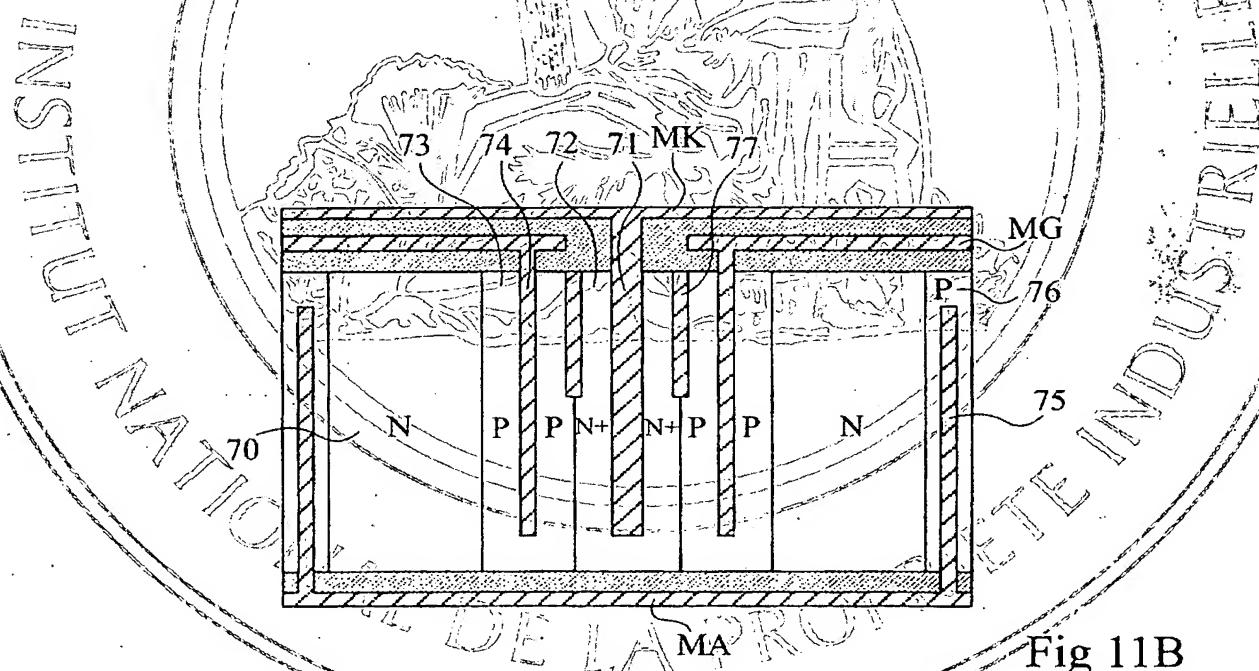


Fig 11B



## BREVET D'INVENTION CERTIFICAT D'UTILITE

### Désignation de l'inventeur

Vos références pour ce dossier	B6273
N°D'ENREGISTREMENT NATIONAL	
TITRE DE L'INVENTION	COMPOSANT SEMICONDUCTEUR ACTIF A SURFACE REDUITE
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):	
DESIGNE(NT) EN TANT QU'INVENTEUR(S):	
Inviteur 1	
Nom	MORAND
Prénoms	JEAN LUC
Rue	20, RUE DE LA FOSSE MARINE
Code postal et ville	37100 TOURS
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
 Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

#### Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont  
 Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

#### Fonction

Mandataire agréé (Mandataire 1)